

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-194312

(43)Date of publication of application : 14.07.2000

(51)Int.Cl.

G09G 3/20

G09G 3/28

G09G 3/36

(21)Application number : 2000-038817

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 11.06.1991

(72)Inventor : IMAMURA YOICHI

(30)Priority

Priority number : 02159416

Priority date : 18.06.1990

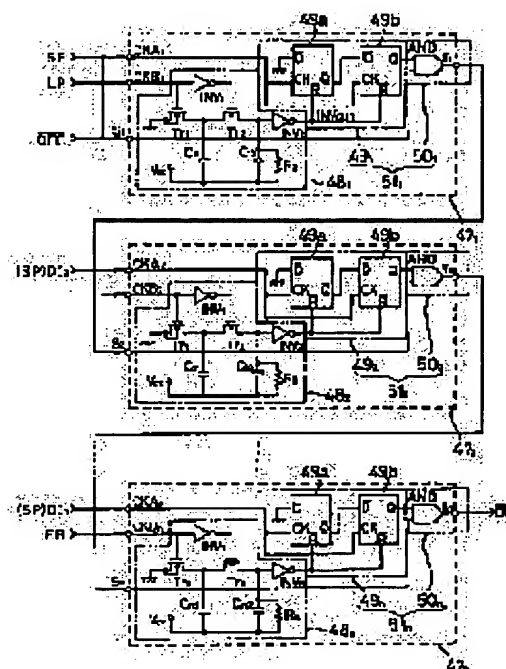
Priority country : JP

(54) FLAT DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent display characteristic degradation caused by a d.c. driving of a display panel due to the abnormality in the signals supplied from a display control section side.

SOLUTION: Signal management and control sections 471 to 47n of each scanning driver LSI are cascade connected and have a same constitution. A signal to be detected by the section 471 is a data signal latch clock LP, which is applied to a terminal CKB1. A signal to be detected by the section 472 is a frame start signal SP applied to a terminal CKB2. A signal to be detected by the section 47n is an alternating clock FR which is applied to a terminal CKBn. The section 471 has a sequence processing circuit 511 that consists of a signal stop detecting circuit 481, which detects the stopping of the signal to be detected, a signal delaying circuit 491 and a logic circuit 501. If the oscillation of the signal SP is stopped, outputs T1 to Tn of the circuits 511 to 51n are changed to an L level, a display/off signal DF-bar becomes an L level, and a liquid crystal panel is forcibly set to a display off mode. Since a liquid crystal applying voltage is lowered to zero even though the signal SP is stopped for any reason, a liquid crystal d.c. driving is avoided and the degradation of the liquid crystals is prevented.



LEGAL STATUS

[Date of request for examination]

17.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3139496

[Date of registration]

15.12.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-194312
(P2000-194312A)

(43) 公開日 平成12年7月14日 (2000.7.14)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 0 9 G 3/20	6 7 0	G 0 9 G 3/20	6 7 0 F
3/28		3/36	
3/36		3/28	Z

審査請求 有 請求項の数17 O L (全 18 頁)

(21) 出願番号 特願2000-38817(P2000-38817)
(62) 分割の表示 特願2000-10249(P2000-10249) の分
割
(22) 出願日 平成3年6月11日 (1991.6.11)
(31) 優先権主張番号 特願平2-159416
(32) 優先日 平成2年6月18日 (1990.6.18)
(33) 優先権主張国 日本 (J P)

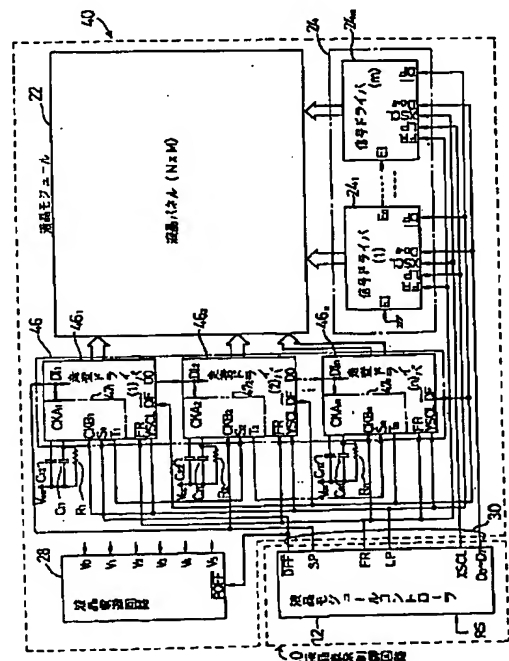
(71) 出願人 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号
(72) 発明者 今村 陽一
長野県諏訪市大和3丁目3番5号 セイコ
ーエプソン株式会社内
(74) 代理人 100093388
弁理士 鈴木 喜三郎 (外2名)

(54) 【発明の名称】 フラット表示装置制御方法

(57) 【要約】

【課題】 表示制御部側から供給される信号の異常に起因する表示パネルの直流駆動等による表示特性劣化を防止可能なフラット表示装置の提供。

【解決手段】 各走査ドライバ L S I の信号管理制御部 47₁ ~ 47_n はカスケード接続されており、同一構成である。制御部 47₁ の被検出信号は端子 C K B₁ に印加されるデータ信号ラッチクロック L P、制御部 47₂ の被検出信号は端子 C K B₂ に印加されるフレームスタート信号 S P で、制御部 47_n の被検出信号は端子 C K B_n に印加される交流化クロック F R である。制御部 47₁ は被検出信号の停止を検出する信号停止検出回路 48 と信号遅延回路 49 及び論理回路 50 からなるシーケンス処理回路 51 を有する。信号 S P の発振が停止すると、回路 51 の出力 T₁ ~ T_n は L レベルに変化し、ディスプレイ・オフ信号 D F (バー) が L レベルになり、液晶パネルが表示オフモードに強制設定される。信号 S P が何らかの原因で停止しても液晶印加電圧が零に落とされるので、液晶直流駆動を回避でき、液晶劣化等を防止できる。



【特許請求の範囲】

【請求項1】 フラット表示体モジュール部とそれを制御する表示制御部とが分離配置されており、該フラット表示体モジュール部がフラット表示体とこれを駆動する表示体駆動手段を有しているフラット表示装置であって、信号管理制御手段を備え、この信号管理制御手段は、該表示制御部側から転送される第1の信号の異常発生を検出する信号検出手段と、その検出信号に基づいて該フラット表示モジュール部側の信号形態を変更処理するシーケンス処理手段とを有することを特徴とするフラット表示装置。

【請求項2】 請求項1において、前記信号管理制御手段は前記フラット表示体モジュール部側に設けられてなることを特徴とするフラット表示装置。

【請求項3】 請求項1又は2において、前記信号検出手段は前記第1の信号の停止を検出する信号停止検出手段で、前記シーケンス処理手段は該信号停止検出手段の出力を基に前記表示体駆動手段の前記フラット表示体へ供給すべき表示体印加電圧を零に設定制御する強制停止制御手段であることを特徴とするフラット表示装置。

【請求項4】 請求項3において、前記強制停止制御手段は、前記信号停止検出手段の出力により前記表示制御部側から転送される第2の信号を遅延させる第1の信号遅延手段を有することを特徴とするフラット表示装置。

【請求項5】 請求項4において、前記強制停止制御手段は、その出力の送出を制御すべき第3の信号の制御端子を有することを特徴とするフラット表示装置。

【請求項6】 請求項5において、 n を正の整数とし、前記信号管理制御手段を n 個有し、各信号管理制御手段に前記第1の信号として入力すべき被検出信号の種類がそれぞれ異なることを特徴とするフラット表示装置。

【請求項7】 請求項6において、 $k=1, \dots, n-1$ で、第 k 番目の前記信号管理制御手段の制御出力を第 $k+1$ 番目の前記信号管理制御手段の第3の信号とし、第 n 番目の前記信号管理制御手段の制御出力に基づいて前記前記表示体駆動手段の表示オン/オフを制御するようにしたことを特徴とするフラット表示装置。

【請求項8】 請求項4乃至7のいずれか一項において、前記第1の信号遅延手段は、フレームスタート信号を前記第2の信号として入力され、 N を正の整数とすると、前記信号停止検出手段の出力に基づいてセット・リセット可能な N 段のDフリップ・フロップであることを特徴とするフラット表示装置。

【請求項9】 請求項7又は8項において、前記信号停止検出手段の出力と第4の信号とを基に表示体駆動電圧を発生すべき表示体電源手段のパワーオン/オフを制御する電源制御手段を前記フラット表示体モジュール部側に有することを特徴とするフラット表示装置。

【請求項10】 請求項9において、前記電源制御手段は前記信号停止検出手段の出力により前記表示制御部側

から転送される第2の信号を遅延させる第2の信号遅延手段を有することを特徴とするフラット表示装置。

【請求項11】 請求項10において、前記第2の信号遅延手段はフレームスタート信号を前記第2の信号として入力され、 M を正の整数とすると、前記信号停止検出手段の出力に基づいてセット・リセット可能な $M(<N)$ 段のDフリップ・フロップであることを特徴とするフラット表示装置。

【請求項12】 請求項1乃至11のいずれか一項において、前記フラット表示体は液晶表示パネルであることを特徴とするフラット表示装置。

【請求項13】 請求項1乃至11のいずれか一項において、前記フラット表示体はプラズマ表示パネルであることを特徴とするフラット表示装置。

【請求項14】 フラット表示体モジュール部側に設けられ、表示制御部からの各種信号に基づいてフラット表示体に表示体駆動電圧を給電する表示体駆動装置において、該表示制御部側から転送される第1の信号の異常発生を検出する信号検出手段と、その検出出力に基づいてフラット表示体モジュール部側の信号形態を変更処理するシーケンス処理手段とを含む信号管理制御手段を備えていることを特徴とする表示体駆動装置。

【請求項15】 請求項14において、前記信号検出手段は前記第1の信号の停止を検出する信号停止検出手段で、前記シーケンス処理手段は該信号停止検出手段の出力を基に前記フラット表示体へ供給すべき表示体印加電圧を零に設定制御する強制停止制御手段であることを特徴とする表示体駆動装置。

【請求項16】 請求項15において、前記強制停止制御手段は前記信号停止検出手段の出力により前記表示制御部側から転送される第2の信号を遅延させる第1の信号遅延手段を有することを特徴とする表示体駆動装置。

【請求項17】 請求項16において、前記強制停止制御手段は、その出力の送出を制御すべき第3の信号の入力端子を有することを特徴とする表示体駆動装置。

【請求項18】 請求項17において、前記信号遅延手段は、フレームスタート信号を前記第2の信号として入力され、 N を正の整数とすると、前記信号停止検出手段の出力に基づいてセット・リセット可能な N 段のDフリップ・フロップであることを特徴とする表示体駆動装置。

【請求項19】 請求項15乃至18のいずれか一項において、前記信号管理手段は前記信号停止検出手段の出力と第4の信号を基に表示体駆動電圧を発生すべき表示体電源手段のパワーオン/オフを制御する電源制御手段を有することを特徴とする表示体駆動装置。

【請求項20】 請求項19において、前記電源制御手段は前記信号停止検出手段の出力により前記表示制御部側から転送される第2の信号を遅延させる第2の信号遅延手段を有することを特徴とする表示体駆動装置。

【請求項21】 請求項20において、前記第2の信号遅延手段はフレームスタート信号を前記第2の信号として入力され、Mを正の整数とすると、前記信号停止検出手段の出力に基づいてセット・リセット可能のM（＜N）段のDフリップ・フロップであることを特徴とする表示体駆動装置。

【請求項22】 請求項14乃至21のいずれか一項において、前記表示体駆動装置が液晶表示パネルを駆動する液晶駆動装置であることを特徴とする表示体駆動装置。

【請求項23】 請求項22において、前記液晶駆動装置は半導体集積回路であることを特徴とする表示体駆動装置。

【請求項24】 請求項23において、前記半導体集積回路はYドライバであることを特徴とする表示体駆動装置。

【請求項25】 請求項24において、前記Yドライバは単純マトリクス液晶表示装置の走査ドライバであることを特徴とする表示体駆動装置。

【請求項26】 請求項24において、前記Yドライバはアクティブ・マトリクス液晶表示装置のゲートドライバであることを特徴とする表示体駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、液晶表示（LCD）、プラズマ表示パネル（PDP）等のフラットディスプレイやその応用装置に関し、更に詳細には、表示体モジュール部とその表示を制御する表示制御部とが分離配置された形態を有するフラット表示装置における表示体モジュール部側の信号管理技術に関する。

【0002】

【従来の技術】従来、所謂ラップトップ型と称される可搬型パーソナル・コンピュータやワードプロセッサなどは一般に開閉式のフラットディスプレイ部を有しており、それらに搭載される中・大型の液晶表示装置は、図9に示すように、装置本体側に内蔵された液晶表示制御部10と開閉蓋の内側に設けられたフラット状の液晶表示モジュール部20とからなる分離独立した配置構成である。液晶表示制御部10は、液晶モジュール・コントローラ12や図示しないマイクロ・プロセッサ・ユニット（MPU）を有しており、この液晶モジュール・コントローラ12は液晶表示モジュール部20側に対し各種の制御信号及びクロック信号を供給する。

【0003】液晶表示モジュール部20は、例えば単純マトリクス型の液晶表示パネル（マトリクス液晶表示素子）22と、このパネル22の周辺（額縁）領域にTAB実装された信号電極駆動回路（Xドライバ）24及び走査電極駆動回路（Yドライバ）26と、高圧の液晶駆動電圧（基準電圧） $V_0 \sim V_5$ を発生する液晶電源回路28とを有している。信号電極駆動回路24は複数の信

号電極ドライバ半導体集積回路24₁～24_nのカスケード接続として構成され、例えば信号電極の総数M本に対し画面1ライン分ずつドライバ出力を供給する。即ち、データ信号D₀～D₇は画素クロック（シフトクロックパルス）XSC Lによって次々に信号電極駆動回路24内のシフトレジスタに取り込まれ、画面1ライン分の信号（Mビット）が取り込まれた時点で、走査線同期信号YSC L（データ信号ラッチクロックLP）によってシフトレジスタ内のデータ信号が並列的にデータラッチ回路へ送られ、データ信号の直・並列変換が行われ

る。そのデータラッチ回路では、1ライン分の信号電圧を1走査期間にわたって保持し、その信号電圧に基づいて選択スイッチ回路が信号電極に接続されたドライバ出力電圧を選択又は非選択状態のいずれかに設定する。交流化クロックFRは直流駆動による液晶素子の劣化を防止するために上記の各電圧を交流波形にするクロックである。強制ブランク表示信号DF（バー）は液晶画面を強制的にブランク表示状態とするための信号である。走査電極駆動回路26は複数の走査電極ドライバ半導体集積回路26₁～26_nのカスケード接続として構成され、例えば走査電極総数N本のうち1本だけに選択電圧を、他の（N-1）本の走査電極に非選択電圧を付与するように動作する。走査スタートパルス（フレームスタート信号）SPによって1走査線期間が開始され、走査線同期信号YSC L（データ信号ラッチクロックLP）の到来する毎に選択電圧が第1行目の走査電極から第N行目の走査電極に次々に印加される（線順位表示）。また液晶表示モジュール部20側に配置された液晶電源回路28は信号電極駆動回路24及び走査電極駆動回路26の選択スイッチが選択すべき複数の液晶駆動電圧 $V_0 \sim V_5$ を生成するもので、強制ブランク表示信号DF（バー）によってパワーオン/オフ状態に設定される。

【0004】

【発明が解決しようとする課題】ところで、装置本体側に内蔵された液晶表示制御部10と開閉蓋の内側に設けられたフラット状の液晶表示モジュール部20とは一般にヒンジ結合の可動部を介してフレキシブル・ケーブル30で接続されている。そのため、フラット状の液晶表示モジュール部20側の開閉蓋が開閉されるたびにケーブル30自体が屈曲し、物理的要因からどうしてもケーブル30の信号線の損傷又は断線を招来し易い。信号線の一部が断線すると、例えば液晶表示パネル22に直流電圧（直流成分）が印加されたままの状態、交流駆動されない事態が発生し、他の部品と比べて高価で交換の困難な液晶表示パネル22の劣化を惹起することがある。このような液晶劣化は寿命や表示品質の阻害要因であり、視認性を基調とするディスプレイ装置にとって重要な問題である。

【0005】ここに、液晶モジュール・コントローラ12から液晶表示モジュール部20側に供給される信号の

うち液晶表示パネル22の直流駆動劣化を引き起こす可能性のある信号としては、走査スタートパルスSP、走査線同期信号Y SCL（データ信号ラッチクロックLP）、交流化クロックFR及びロジック側電源電圧Vccである。また液晶モジュール・コントローラ12及びマイクロ・プロセッサ・ユニット（MPU）に何らかの動作異常が発生した場合でも、上記の各信号の異常が引き起こされ、上述と同様の事態が発生するおそれもある。

【0006】ところで、このような液晶表示体の直流駆動の問題を敷衍すると、液晶モジュール部側における信号異常の問題に一般化できる。また壁掛けテレビジョンを想定した場合、表示制御部と表示パネルとは遠隔配置にあることから、信号の停止もさることながら、信号レベルの減衰等や雑音の影響により表示品質劣化の問題も提起される。また、液晶ディスプレイに限らず、プラズマ・ディスプレイにおいても問題となる。

【0007】そこで、本発明の課題としては、上述の問題点を鑑みて、表示制御部側から表示体モジュール部側に供給される信号の異常に起因する表示パネルの直流駆動等による表示特性劣化を防止可能なフラット表示装置及び表示体駆動装置を提供することにある。

【0008】

【課題を解決するための手段】一般に、表示体モジュール部とその表示を制御する表示制御部とが分離配置されたフラット表示装置においては、表示体モジュール側は表示制御部からの制御信号等に追従して受動的動作を実行するが、本発明においては、信号管理制御手段を有する自律信号系が採用されている。この信号管理制御手段の構成要素のすべてを表示体モジュール部側に設けることもできるが、表示体モジュール部側と表示制御部とに分担配置することもできる。

【0009】このような信号管理制御手段は、表示制御部側から転送される第1の信号の異常発生を検出する信号検出手段と、その出力に基づいて表示体モジュール部側の信号形態を変更処理するシーケンス処理手段とを有する構成とされている。信号の異常とは信号の停止、論理振幅の減少、混信などを指すが、典型的な例としては信号の停止が挙げられる。またフラット表示装置としては液晶表示装置やプラズマ・ディスプレイ装置を挙げることができる。信号検出手段の具体的な構成としては第1の信号の停止を検出する信号停止検出手段であり、シーケンス処理手段はその出力を基に表示体駆動手段の表示体パネルへ供給すべき表示体印加電圧を零に設定制御する強制停止制御手段である。第1の信号が表示体モジュール側で停止すると、これが信号停止検出手段で検出される。これにより強制停止制御手段が表示体駆動手段を制御し、その駆動手段は表示体印加電圧を零に設定する。従って、クロック等の第1の信号が停止した場合でも、液晶等の表示体の直流駆動が回避されるので、表示特性の劣化を防止することができる。

【0010】更に具体的な強制停止制御手段としては、信号停止検出手段の出力により表示制御部側から転送される第2の信号を遅延させる第1の信号遅延手段を有し、その出力に基づいて表示体駆動手段の表示オン／オフを制御するような構成を採用することができる。かかる構成によれば、検出信号の発生により速やかに液晶パネルの表示をオフ状態に設定できることは勿論であるが、第1の信号が再開された場合、その時点で表示オンの状態が再スタートするのではなく、第2の信号の周期を基準として決定される所定の時間が経過した後、表示オン状態に表示体駆動手段が設定制御される。このような時間差的な表示体駆動手段の制御方式は、ラッシュ電流から誘起される電源異常による異常駆動を防止でき、電源負荷の軽減と電源回路の簡略化を図ることができる。

【0011】この信号遅延手段は、フレームスタート信号を第2の信号として入力され、検出手段の出力を基にセット・リセットされるN段のDフリップ・フロップとすることが望ましい。かかる場合の遅延時間はフレーム周期を単位として決定される。信号管理制御手段を液晶モジュール側に複数配置する構成も採用できる。かかる場合には、複数種類の信号の停止を同時に検出することができる。そして、強制停止制御手段にその出力を制御する第3の信号の制御端子を設けることにより、複数の信号管理制御手段をカスケード接続することができる。かかる場合は、いずれかの被検出信号が停止したときには、表示体駆動手段に対する表示オフの制御が可能となる。

【0012】更なるラッシュ電流に基づく異常駆動による表示体の劣化を防止するためには、表示体駆動電圧を発生すべき表示体電源手段のパワーオン／オフを制御する電源制御手段を表示体モジュール部側に設けることが望ましい。この電源制御手段は検出手段の出力に対応して表示体電源手段のパワーオン／オフを制御するものである。このようにすることによって、第1の信号の発現が表示体モジュール部側で確認された後、表示体電源手段がパワーオンになる。

【0013】具体的な電源制御手段としては、検出手段の出力により表示制御部側から転送される第2の信号を遅延させる第2の信号遅延手段を有し、その出力に基づいて表示体電源手段のパワーオン／オフを制御するような構成を採用することができる。かかる構成によれば、第1の信号の出力が確認され、第2の信号の周期を基準として決定される所定の時間が経過した後、表示体電源手段が付勢される。このため、初期時における液晶の直流駆動を防止することができる。

【0014】そして、電源制御手段が表示オン／オフ信号を第2の信号として入力され、検出手段の出力によりセット・リセットされるM（＜N）段のDフリップ・フロップである場合には、表示体電源手段が付勢された

後、表示体駆動手段が表示オン状態となる。これもラッシュ電流の軽減に寄与する。但し、M、Nは正の整数である。

【0015】以上のような構成に係る信号管理制御手段は、表示体モジュール部側のガラス基板等に設けられているが、表示体モジュール部側に実装される表示体駆動装置の回路に組み込むことができる。つまり、信号管理制御付きの表示体駆動手段として実現できる。従来の表示体駆動手段はドライバLSIとして構成されているが、このような信号管理制御付きの表示体駆動手段も半導体集積回路として構成し得る。ドライバLSIのうちYドライバLSIはXドライバLSIに比して入出力配線の本数が少ないことを考慮すれば、信号管理制御付きのドライバLSIとしてはYドライバとすることが有利である。また液晶表示装置は単純マトリクス方式とアクティブ・マトリクス方式に大別できるが、この信号管理制御付きのドライバLSIは走査ドライバ又はゲートドライバとすることが望ましい。

【0016】

【発明の実施の形態】

【実施例1】図1は本発明の実施例1に係る液晶表示装置の全体構成を示すブロック図である。なお、図1において図9に示す部分と同一部分には同一参照符号を付し、その説明は省略する。

【0017】この実施例における液晶表示モジュール部40の走査電極駆動回路(Yドライバ)46を構成する走査ドライバ半導体集積回路(LSI)46₁～46_nは信号管理制御部47を有している。

【0018】第1の走査ドライバ半導体集積回路46₁の信号管理制御部47₁は端子CKB₁に印加される走査線同期信号YSC_L(データ信号ラッチクロックLP)の停止を検出する。第2の走査ドライバ半導体集積回路46₂の信号管理制御部47₂は端子CKB₂に印加される走査スタートパルス(フレームスタート信号)SPの停止を検出する。第n(例えば第3)の走査ドライバ半導体集積回路46_nの信号管理制御部47_nは端子CKB_nに印加される交流化クロックFRの停止を検出する。それぞれの信号管理制御部47₁～47_nは信号停止検出制御端子S₁～S_n及び信号停止検出端子T₁～T_nを有している。第1の走査ドライバ半導体集積回路46₁の信号管理制御部47₁の信号停止検出制御端子S₁には通常高レベル電圧の強制ブランク表示信号DFF(バー)が制御回路10側から供給され、その信号停止検出端子T₁は第2の走査ドライバ半導体集積回路46₂の信号管理制御部47₂の信号停止検出制御端子S₂に接続されている。また第2の走査ドライバ半導体集積回路46₂の信号管理制御部47₂の信号停止検出端子T₂は次段の信号停止検出端子(例えば第nの信号管理制御部47_nの信号停止検出制御端子S_n)に接続されている。そして第nの信号管理制御部47_nの信

号停止検出端子T_nは走査ドライバ46₁～46_n及び信号ドライバ24₁～24_nの強制ブランク制御端子DF(バー)に接続されている。

【0019】各走査ドライバの信号管理制御部47₁～47_nは、図2に示すように、カスケード接続されており、各信号管理制御部47₁～47_nの構成は同一である。信号管理制御部47₁の被検出信号は端子CKB₁に印加されるデータ信号ラッチクロックLP、信号管理制御部47₂の被検出信号は端子CKB₂に印加される走査スタートパルス(フレームスタート信号)SPで、信号管理制御部47_nの被検出信号は端子CKB_nに印加される交流化クロックFRである。

【0020】ここで、信号管理制御部47₁に着目してその構成を説明する。信号管理制御部47₁は、被検出信号の停止を検出する信号検出手段としての信号停止検出回路48と、信号遅延回路49及び論理回路50からなるシーケンス処理回路51を有している。

【0021】信号停止検出回路48は、被検出信号としてのラッチクロックLPによってスイッチングしトランスファークロップを構成する第1のN型MOSトランジスタTr₁、そのラッチクロックLPの位相を反転させるインバータINV₁、そのラッチクロックLPの逆位相信号によってスイッチングしトランスファークロップを構成する第2のN型MOSトランジスタTr₂、第1のN型MOSトランジスタTr₁の開閉動作によって充放電する第1のキャパシタC₁₁、第2のN型MOSトランジスタTr₂の開閉動作によって充放電する第2のキャパシタC₁₂、このキャパシタC₁₂の電荷を放電する放電抵抗R₁、及び第2のキャパシタC₁₂の充電電圧と閾値V_{TH}とを比較して充電レベル判定信号を出力するインバータINV₂から構成されている。第1のN型MOSトランジスタTr₁とインバータINV₁及び第2のN型MOSトランジスタTr₂は直列の排他的開閉回路を構成している。そして第1のN型MOSトランジスタTr₁は第1のキャパシタC₁₁に対する選択的充電スイッチを構成し、また第2のN型MOSトランジスタTr₂は第1のキャパシタC₁₁の電荷を第2のキャパシタC₁₂へ分配転送する選択的充電スイッチを構成している。

【0022】信号遅延回路49は、インバータINV₂の出力に接続されたリセット端子R(バー)及び接地された入力端子D(バー)を有し、フレームスタート信号SPをクロック入力CKとするD型フリップ・フロップ49aと、インバータINV₂の出力に接続されたリセット端子R(バー)及びフリップ・フロップ49aの出力Q(バー)に接続された入力端子D(バー)を有し、フレームスタート信号SPをクロック入力とするD型フリップ・フロップ49bとから構成されている。論理回路50は制御回路10からの強制ブランク信号DFF(バー)とフリップ・フロップ49bのQ出力を2入力とするアンド回路ANDから構成されている。

【0023】図3は走査ドライバ461の信号管理制御部471を除く通常の走査電極駆動回路(論理部)を示す回路図である。この論理部には多数の走査電極に対応して線順位で電圧を印加する多ビットの走査電極駆動セル4611, 4612・・・がアレイ状に作り込まれている。図3では第1ビットと第2ビットの走査電極駆動セル4611, 4612及びその周辺回路が示されている。

【0024】ここで走査電極駆動セル4611に着目してその構成を説明すると、この走査電極駆動セル4611は、フレームスタート信号SPによって起動し走査同期信号YSC Lの到来毎に次段へそのフレームスタート信号SPを転送するシフトレジスタにおけるD型フリップ・フロップ46aと、そのビット選択出力Qに第nの走査ドライバ46nの端子Tnから供給される強制ブランク表示信号DF(バー)を加味して論理演算する行単位強制ブランク表示制御回路46bと、その出力をロジック系電源電圧($V_{cc}=5V$)から高電圧系の論理振幅に変換する行単位電圧レベルシフト回路46cと、交流化クロックFRに強制ブランク表示信号DF(バー)を加味して論理演算する総行強制ブランク表示制御回路46dと、その交流化クロックFRをロジック系電源電圧($V_{cc}=5V$)から高電圧系の論理振幅を持つ高圧交流化クロックFRHに変換する交流化クロック用の電圧レベルシフト回路46eと、その高圧交流化クロックFRHを逆相の高圧交流化クロックFRH(バー)に反転させる正逆2相クロック生成回路46fと、高圧交流化クロックFRH, 逆相の高圧交流化クロックFRH(バー)の対と行単位電圧レベルシフト回路46cの出力O, O(バー)の対とから交鎖的組み合わせで4つの選択制御信号C1~C4を発生する選択制御信号生成回路46gと、各選択制御信号C1, C2, C3, C4によって走査電極駆動電圧V5, V1, V0, V4を択一的に走査電極へ伝達供給する選択スイッチ46hとから構成されている。ここで、行単位強制ブランク表示制御回路46bと総行強制ブランク表示制御回路46dとは強制ブランク表示制御回路を構成している。なお、INV3は強制ブランク表示制御信号DF(バー)の行単位強制ブランク表示制御回路46bに対して論理を合わせるインバータである。

【0025】次に、本実施例の動作に関し図4をも参照しつつ説明する。時点t0において液晶表示装置のロジック電源Vccが投入されると、従来と同様に、液晶モジュールコントローラ12のパワーオンリセット端子RSに数 μs ~数msのパルス幅のリセット信号がMPU(図示せず)側から供給され、液晶モジュールコントローラ12が初期化される。この初期化期間中、液晶モジュールコントローラ12から出力される各種信号は一般的に停止状態にある。この期間では強制ブランク表示信号DF F(バー)が低電圧レベル(以下、Lレベルと称する)であるから、液晶電源回路28はパワーオフの状

態にあり、液晶駆動電源電圧V0~V5は未発生状態である。したがって、この初期化期間中では液晶電極間に直流成分が印加せず、液晶素子の劣化が防止されている。

【0026】この期間が過ぎると、図4に示す如く、時点t1で強制ブランク表示信号DF F(バー)がLレベルから高電圧レベル(以下、Hレベルと称する)に変化し、また液晶モジュールコントローラ12はフレームスタート信号SP, データ信号ラッチクロックLP及び交流化クロックFRを発生する。ここでまず走査ドライバ461の信号管理制御部471の動作について説明すると、信号遅延回路49の入力端子CKA1にはフレームスタート信号SPが供給され、また信号停止検出回路48の検出端子CKB1にはデータ信号ラッチクロックLPが供給されている。

【0027】データ信号ラッチクロックLPのHレベル期間においては、信号停止検出回路48のトランジスタTr1がオン状態でトランジスタTr2がオフ状態にある。従って、この期間ではキャパシタC11が充電される。データ信号ラッチクロックLPのLレベル期間においては、信号停止検出回路48のトランジスタTr2がオン状態でトランジスタTr1がオフ状態にある。従って、この期間ではキャパシタC11に充電された電荷の一部がキャパシタC12へ移入充電される。データ信号ラッチクロックLPの繰り返しパルスが発生するに伴いキャパシタC12の充電電圧が増大するので、インバータINV2の入力電圧が閾値VTH以下になり、時点t2でインバータINV2の出力INVoutがHレベルとなる。時点t2以前においてはインバータINV2の出力INVoutはLレベルであるので、信号遅延回路49のDフリップ・フロップ49aの出力QはLレベルであり、このため論理回路50の出力T1はLレベルである。ここで、出力INVoutがHレベルになっても、その時点t2では出力QはHレベルにならない。Dフリップ・フロップ49b, 49aの入力信号の遅延記憶作用でフレームスタート信号SPの1フレーム周期(TF)~2フレーム周期(2TF)の間は、出力QはLレベルに維持されており、時点t3で論理回路50の出力T1がHレベルになる。

【0028】走査ドライバ462における信号管理制御部472の信号停止検出回路482の検出端子CKB2にはフレームスタート信号SPが供給され、また信号遅延回路492の入力端子CKA2には走査ドライバ461のカスケード出力端子DOから到来するカスケード入力DI2たるフレームスタート信号SPが供給されている。そして走査ドライバ461の論理回路50の出力T1は走査ドライバ462の論理回路50へカスケード接続されている。信号停止検出回路482のキャパシタC21はフレームスタート信号SPの繰り返しパルスによって充電される。また同様に、走査ドライバ46nにお

る信号管理制御部47_nの信号停止検出回路48_nの検出端子CKB_nには交流化信号FRが供給され、また信号遅延回路49_nの入力端子CKA_nには走査ドライバ46₂のカスケード出力端子DOから到来するカスケード入力DI_nたるフレームスタート信号SPが供給されている。そして走査ドライバ46₂の論理回路50の出力T₂は走査ドライバ46_nの論理回路50へカスケード接続されている。信号停止検出回路48_nのキャパシタC_{n2}は交流化信号FRの繰返しパルスによって充電される。被検出信号としてのデータ信号ラッチクロックLP、フレームスタート信号SP及び交流化信号FRの周期やデューティ比は異なるので、各走査ドライバにおいてインバータINV₁～INV_nの比較判定時点t₃などを一致させるためには、キャパシタC₁₁～C_{n1}、C₁₂～C_{n2}及び放電抵抗R₁～R_nの値(時定数)を相互調整可能としておくことが望ましい。そのために、本実施例では図1に示すように外付けのキャパシタ及び抵抗の接続外部端子が走査ドライバに設けられている。

【0029】このように、ロジック電源V_{cc}の投入時点t₀から論理回路の出力T₁～T_nがHレベルになる時点t₃までの期間において、各走査ドライバ及び信号ドライバの強制表示ブランク制御端子DF(バー)には、Lレベルの出力T_nが供給されているので、液晶表示パネル22はブランク表示状態にある。つまり、強制表示ブランク制御信号DF(バー)がLレベルであるときには、図3に示す強制ブランク表示制御回路46b、46dの制御によって走査電極駆動セル46の選択スイッチ46hのトランジスタF₁のみがオン状態で、走査電極には電圧V₅(0v)が印加されており、液晶電極間電圧(液晶印加電圧)は0vである。時点t₀～時点t₃の期間は液晶駆動禁止期間に相当している。時点t₁で液晶電源回路28がパワーオンされ、液晶駆動電圧V₀～V₅が発生し、これらの電圧は走査及び信号ドライバに供給されるが、電源立ち上げ時点においては、走査及び信号ドライバ内のシフトレジスタ等が不定状態にある。しかしながら、時点t₃まで液晶表示がブランク制御されているため、液晶パネルの異常駆動を回避することができる。

【0030】次に、時点t₃で出力T_nがHレベルになると、各走査ドライバ及び信号ドライバの強制表示ブランク制御端子DF(バー)にはHレベルの電圧が供給されるので、走査ドライバ及び信号ドライバの通常動作によって液晶表示パネル22が交流駆動され、液晶パネル22には表示画面が描かれる。図4に示すBは液晶駆動期間を表す。時点t₁で液晶電源回路28と走査及び信号ドライバの論理部がパワーオンし、これより遅れた時点t₃で液晶表示パネル22が駆動される。従って、電源パワーオンが同時に発生しないので、過大な電源ラッシュ電流が抑制されている。これは、信号停止検出回路48自体の遅延的動作に加えて、1～2フレーム周期

の遅延時間を持つ信号遅延回路49の遅延作用が有効的に機能しているからである。

【0031】今ここで、この液晶駆動期間Bにおける時点t₄で、液晶モジュールコントローラ12側から送出されていたデータ信号ラッチクロックLPの出力がたとえば停止したとする。データ信号ラッチクロックLPの出力中は走査ドライバ46₁の信号停止検出回路48₁の第2のキャパシタC₁₂が十分に充電されているが、そのクロックLPが停止すると、第2のキャパシタC₁₂へは第1のキャパシタC₁₁側から電荷が転送されて来ないばかりか、第2のキャパシタC₁₂の電荷は放電抵抗R₁を介して所定の時定数で急速に放電し始め、インバータINV₂の入力電圧が徐々に上昇する。その入力電圧がその閾値V_{TH}を超えると、その出力電圧INV_{OUT}が時点t₅でLレベルとなる。この論理変化によって信号遅延回路49₁はリセットされ、その出力QはLレベルとなるので、強制表示ブランク制御信号DF(バー)はLレベルであるのにも拘わらず、論理回路50₁の出力T₁は時点t₅でLレベルとなる。この出力T₁は走査ドライバ46₂の論理回路50₂へカスケード入力されているため、フレームスタート信号SPが出力中でもその論理回路50₂の出力T₂はLレベルになる。更に、出力T₂は走査ドライバ46_nの論理回路50_nへカスケード入力されているため、交流化信号FRが出力中でもその論理回路50_nの出力T_nはLレベルになる。この出力T_nは液晶表示モジュール部46側での強制表示ブランク制御信号DF(バー)に相当しているので、強制表示ブランク回路46b、46dを使って液晶表示パネル22はブランク表示状態となる。つまり、図3に示す走査電極駆動セル46の選択スイッチ46hのトランジスタF₁のみがオン状態で、走査電極には電圧V₅(0v)が給電されるので、液晶電極間電圧は0vに維持される。このため、データ信号ラッチクロックLPが何らかの原因で停止した場合でも、液晶素子は直流成分で駆動されないで、液晶劣化が未然に防止される。また、フレームスタート信号SP又は交流化信号FRが何らかの原因で停止した場合も、出力T_nはLレベルになるので、同様にして液晶劣化が未然に防止される。なお、この液晶駆動禁止期間Aにおいてはフレームスタート信号SP及び交流化信号FRが継続している限り、第2のキャパシタC₂₂及びC_{n1}は充電状態にあり、インバータINV₂、INV_nの出力はHレベルである。

【0032】時点t₆においてデータ信号ラッチクロックLPが再度出現し始めると、前述したように、第2のキャパシタC₁₂が充電され、インバータINV₁の出力INV_{OUT}がHレベルになる。出力INV_{OUT}がHレベルとなった時点から1～2のフレーム周期の後、タイマーとして機能する信号遅延回路49₁の出力Qが時点t₇でHレベルとなる。これによって、論理回路50₁の出力T₁がHレベルとなると共にこれに連動して論理回

路50₂、50_nの出力T₂、T_nがHレベルとなる。従って、液晶表示モジュール部22側の強制表示ブランク制御信号DF（バー）がHレベルに変わるため、液晶表示パネル22は液晶駆動期間Bに入る。

【0033】最後に、時点t₈で液晶表示コントローラ12側の強制表示ブランク制御信号DF（バー）がLレベルになると、論理回路50₁の出力T₁がLレベルになるので、論理回路50₂、50_nの出力T₂、T_nもLレベルとなる。従って、液晶表示モジュール部20側の強制表示ブランク制御信号DF（バー）がLレベルとなり、液晶表示パネル22は表示オフ期間Cに入る。

【0034】

【実施例2】図5は本発明の実施例2に係る液晶表示装置を示すブロック図である。なお、図5において図1に示す部分と同一部分には同一参照符号を付し、その説明は省略する。

【0035】この実施例の液晶表示モジュール部70の走査電極駆動回路（Xドライバ）76を構成する複数の走査ドライバ76₁～76_nは実施例1の信号管理制御部と同様の信号管理制御部77₁～77_nを有しているが、図6に示すように、各信号管理制御部77₁～77_nには液晶駆動電圧V₀～V₅を生成すべき液晶電源回路28のパワーオン／オフのタイミングを制御する電源パワーオン／オフ制御回路78₁～78_nが付加されている。

【0036】電源パワーオン／オフ制御回路78₁～78_nは、論理回路50₁の入力端子S₁～S_nに入来する信号を反転させるインバータINV₃と、2段接続のDフリップ・フロップ78a、78bと、その出力Qと端子P₁～P_nから到来する信号との論理をとる論理回路78cとから構成されている。また各信号管理制御部77の信号遅延回路79は、実施例1に係る信号遅延回路49の2段接続のDフリップ・フロップ49a、49bに3段目のDフリップ・フロップ79cを追加接続した構成である。

【0037】第1の走査ドライバ76₁の論理回路78cの入力端子P₁にはロジック側電源電圧V_{cc}のパワーオン／オフ信号が供給されており、第2の走査ドライバ76₂の端子P₂には第1の走査ドライバ76₁における電源パワーオン／オフ制御回路78₁の出力PF₁がカスケード的に供給されている。また第nの走査ドライバ76_nの端子P_nには前段たる第2の走査ドライバ76₂における電源パワーオン／オフ制御回路78₂の出力PF₂がカスケード的に供給されている。そして、第nの走査ドライバ76_nの電源パワーオン／オフ制御回路78_nの出力PF_nは液晶電源回路28のパワーオフ端子POFF（バー）に供給されている。

【0038】液晶電源回路28は従来と同様な構成で、図7に示すように、V_{cc}（5v）電源電圧を基に昇圧し

た高電圧（20～40v）を生成する電圧変換回路28aと、パワーオフ端子POFF（バー）に供給される電圧値の如何でオン／オフする制御用のnpn型トランジスタ28bと、このトランジスタ28bのオン／オフ動作に連動してオン／オフするパワースイッチのpnp型トランジスタ28cと、そのコレクタと接地との間に介在する平滑コンデンサ28dと、その充電電圧から液晶駆動電圧V₀～V₅を出力する電圧分圧回路28eとを有している。

【0039】次に、上記実施例の動作に関し図8を参照しつつ説明する。時点t₀においてパワースイッチSWが閉成され、液晶表示装置のロジック電源V_{cc}が投入されると、実施例1と同様に、液晶モジュールコントローラ12のパワーオンリセット端子RSに数μs～数msのパルス幅のリセット信号がMPU側から供給され、液晶モジュールコントローラ12が初期化される。従って、液晶モジュールコントローラ12からの出力信号は一般的に停止状態にある。かかる期間において、ロジック電源電圧V_{cc}が第1の走査ドライバ76₁のAND回路たる論理回路78cの一入力に供給されているが、データ信号ラッチクロックLPが未出現であるため、その出力PF₁はLレベル状態にある。この結果、第2の走査ドライバ76₂の出力PF₂もLレベルで、更に第nの走査ドライバ76_nの出力PF_nもLレベルであるから、液晶電源回路28のパワーオフ端子POFF（バー）はLレベル状態に維持されている。このため、図7に示すトランジスタ28bのベース電位はLレベル（0v）であるので、昇圧電圧は平滑コンデンサ28dへ供給されず、従って、液晶駆動電圧V₀～V₅は発生しない。実施例1と同様に、この初期化期間中では液晶電極間に直流成分が印加せず、液晶素子の劣化が防止されている。

【0040】次に、図8に示す如く、時点t₁で液晶モジュールコントローラ12から各種信号が生成される。強制ブランク表示信号DF（バー）はLレベルからHレベルに変化し、またフレームスタート信号SP、データ信号ラッチクロックLP及び交流化クロックFRが発生する。実施例1で説明したように、データ信号ラッチクロックLPの出現開始によってインバータINV₂の出力INV_{out}が時点t₂でHレベルとなる。このため、パワーオン／オフ制御回路78bの出力Qは時点t₂より1～2フレーム周期だけ遅れた時点t₃でHレベルとなるので、論理回路78cの出力PF₁はHレベルとなる。これにより第2及び第nの走査ドライバ76₂、76_nの論理回路78cの出力PF₁、PF_nは連動してHレベルになるので、液晶電源回路28のパワーオフ端子POFF（バー）はHレベルに付勢される。この結果、トランジスタ28bがオン状態になるので、トランジスタ28cのベース・エミッタ間抵抗の電圧降下によりそのトランジスタ28cもオン状態となり、平滑コ

ンデンサ28dが充電され、液晶駆動電圧 $V_0 \sim V_5$ が発生する。時点 t_3 から次のフレームスタート信号SPが到来する時点 t_4 まではDフリップ・フロップ79cの出力QはLレベルのままである。この実施例における信号遅延回路79iのDフリップ・フロップの段数はパワーオン/オフ制御回路78iのそれに比して1段多いので、Dフリップ・フロップ79cの出力QはDフリップ・フロップ78bのそれより1フレーム周期 T_F だけ遅れてHレベルとなるからである。この結果、出力 T_1, T_2, T_n は共にHレベルとなるので、実施例1と同様に、液晶表示モジュール部側の強制ブランク表示信号DF(バー)はLレベルからHレベルに変化し、これにより液晶表示パネル22の走査電極及び信号電極には駆動電圧 $V_0 \sim V_5$ が給電され、液晶表示モードに入る。

【0041】例えば、液晶駆動電圧 $V_0 \sim V_5$ の発生と同時に液晶表示パネル22が駆動されると、液晶表示パネル及び走査及び信号ドライバの電源部に大きな充電ラッシュ電流が惹起されてしまう。しかしながら、本実施例においては、時点 t_3 で液晶駆動電圧 $V_0 \sim V_5$ が発生してから、1フレーム周期 T_F 後に液晶駆動が開始されるため、電源部の時間差付勢によりラッシュ電流が分散でき、電源ダウンの防止と電源容量の軽減を図ることができ、液晶表示パネル及びドライバ等の保護に資する。また前述の電源制御はシステム側の開発コスト負担を軽減し、従来のシステム側とLCDモジュール間の信号配線を増加させずに済む。更に、電源容量の低減をもたらすため、安価な電源の使用が可能となる。次に、液晶駆動期間Bにおける時点 t_5 で、液晶モジュールコントローラ12側からの送出されていたデータ信号ラッチクロックLPの発振が停止したとすると、実施例1と同様に、インバータINV2の入力電圧が上昇し、その出力電圧INVOUTが時点 t_6 でLレベルとなり、出力 T_1, T_2, T_n もLレベルになる。この結果、液晶表示モジュール部側での強制表示ブランク制御信号DF(バー)がLレベルとなるので、液晶表示パネル22はブランク表示状態となる。実施例1と同様の効果が発揮される。またインバータINV2の出力電圧INVOUTがLレベルになると、出力 PF_1, PF_2, PF_n も同時にLレベルとなり、液晶電源回路28のパワーオフ端子POFF(バー)がLレベルに変化して、液晶駆動電圧 $V_0 \sim V_5$ の発生が停止する。

【0042】時点 t_7 においてデータ信号ラッチクロックLPが再度出現し始めると、実施例1と同様に、インバータINV2の出力電圧INVOUTが時点 t_8 でHレベルとなり、また前述したように、この時点 t_8 から1～2フレーム周期後の時点 t_9 で出力 PF_1, PF_2, PF_n もHレベルとなる。この結果、液晶電源回路28のパワーオフ端子POFF(バー)がHレベルに変化するので、液晶駆動電圧 $V_0 \sim V_5$ が発生し、これらがド

ライバ側に印加する。そして、前述したように、出力 T_1, T_2, T_n は時点 t_9 から1フレーム周期 T_F だけ遅れた時点 t_{10} でHレベルとなり、液晶表示パネル22の走査電極及び信号電極には液晶駆動電圧 $V_0 \sim V_5$ が給電され、液晶表示モードが再開される。

【0043】時点 t_{11} で液晶表示コントローラ12側の強制表示ブランク制御信号DF(バー)がLレベルになると、出力 T_1, T_2, T_n もLレベルとなるので、液晶表示モジュール部70側の強制表示ブランク制御信号DF(バー)もLレベルとなり、液晶表示パネル22は表示オフ期間Cに入る。この時点 t_{11} から1～2フレーム周期後の時点 t_{12} でパワーオン/オフ制御回路78iのDフリップ・フロップ78bの出力QがLレベルに変化し、出力 PF_1, PF_2, PF_n もLレベルとなる。この結果、液晶電源回路28のパワーオフ端子POFF(バー)もLレベルになるので、液晶駆動電圧 $V_0 \sim V_5$ の発生が停止する。このように、液晶表示コントローラ12側の強制表示ブランク制御信号DF(バー)がLレベルになると、液晶駆動が停止した後、一定期間の経過後にドライバへの液晶電圧の印加がなくなる。このようなパワーオフ時のシーケンスによって、ロジック電源Vccや液晶駆動電源 $V_0 \sim V_5$ の電位関係が維持され、ドライバ内の寄生バイポーラ電流や貫通電流等が抑制され、液晶表示パネル及びドライバの保護を図ることができる。

【0044】本実施例においては、液晶モジュール側にクロックが供給された後に液晶電源回路28のパワーがオンとなり、またクロックの出力停止によって液晶電源回路28のパワーもオフとなる。このような電源付勢のオートシーケンスによって、ラッシュ電流が分散のない時間差的になるので、上述と同様に、液晶表示モジュールを構成する液晶パネル、ドライバや液晶電源回路の保護を図ることができる。

【0045】なお、上記各実施例においては、信号管理制御部が走査ドライバLSIに作り込まれているが、これは信号ドライバLSIに比して入出力信号線の本数が少ないことや表示額縁領域が広いので、信号管理制御部を搭載する回路基体の面積余裕が大きいからである。また本実施例では単純マトリクス液晶パネルの表示装置について説明したが、本発明はこれに限らず、アクティブ・マトリクス型液晶表示装置に対しても適用することができる。かかる場合には、ゲートドライバLSI側に信号管理制御部を作り込むことが好ましい。その場合、クロックの停止時においてはすべてのゲートがオンするようにゲートドライバLSIを制御し、データ側でコモン側と同電位を出力するようにソースドライバが制御され、総ての画素電界が無印加状態になるように設定される。更に、本発明は、ディスプレイのみならず液晶光演算装置のように、広く液晶装置を用いた電子装置やプラズマ・ディスプレイのように、直流駆動により表示品質は劣

化してしまう表示装置に適用可能である。

【0046】上記各実施例においては、液晶モジュールコントローラ12側からの供給される信号の異常を検出する手段と、その信号の異常状態を未然又は事後的に除去する手段とが液晶モジュール側に設けられているが、これらの手段の一部構成要素を液晶モジュール側に設け、残る構成要素はシステム（コントローラ）側に設けた分担構成を採用しても良い。例えば、液晶パネルの直流ドライブを引き起こす可能性のある複数の信号（SP, LP, FR）は、周波数、パルスデューティがそれぞれ異なるので、それらの信号を反一致ゲート（Exclusive ORゲート）を用いて単一のコンポジット信号に変換し、これをシステム側に送り返して判定回路で異常状態を監視し、その出力で異常状態を除去すると共に、LCDモジュール側とは別の表示体を用いてインジケータ表示を行うような構成を採用できる。また図1に示す実施例の走査ドライバ46_nの端子T_nの出力をシステム側に戻し、ロジック系及び液晶系の電源を一定の手順（シーケンス）でオン/オフ制御する方式も採用できる。

【0047】また、液晶パネルを劣化させる別の原因としては、図7に示す液晶電源回路28における分圧回路28eの異常による液晶駆動電圧V₀～V₅の電圧値シフトや特定ドライバの出力不良などで液晶パネルが実効的な直流成分により駆動されて劣化することが考えられる。これらの異常も電源電流や電源電圧の変動として検出可能であるから、上述の異常除去手段により異常状態を除去することができる。

【0048】

【発明の効果】以上のように、本発明に係るフラット表示装置は、表示制御部からの転送される信号が発振停止した場合、表示体モジュール側の信号管理制御手段によって液晶の直流駆動が強制的に停止される。このため、直流駆動による表示体劣化を防止できる。また電源ラッシュ電流を軽減できる。本発明は液晶表示装置は勿論のこと、プラズマディスプレイ装置等に適用できる。表示体の表示品質や寿命等が駆動信号の異常によって修復不能な劣化を招くような表示装置に用いるのに適している。

【図面の簡単な説明】

【図1】本発明の実施例1に係る液晶表示装置の全体構成を示すブロック図である。

【図2】同実施例における各走査ドライバの信号管理制御部の構成とドライバ間の接続関係を示す回路図である。

【図3】同実施例における走査ドライバの走査電極駆動セルを示す回路図である。

【図4】同実施例の動作を説明するための液晶表示モジュール部における各種信号の関係を示すタイミングチャート図である。

【図5】本発明の実施例2に係る液晶表示装置の全体構成を示すブロック図である。

【図6】同実施例における各走査ドライバの信号管理制御部の構成とドライバ間の接続関係を示す回路図である。

【図7】同実施例における液晶電源回路の構成を示す回路図である。

【図8】同実施例の動作を説明するための液晶表示モジュール部における各種信号の関係を示すタイミングチャート図である。

【図9】従来の液晶表示装置の構成を示すブロック図である。

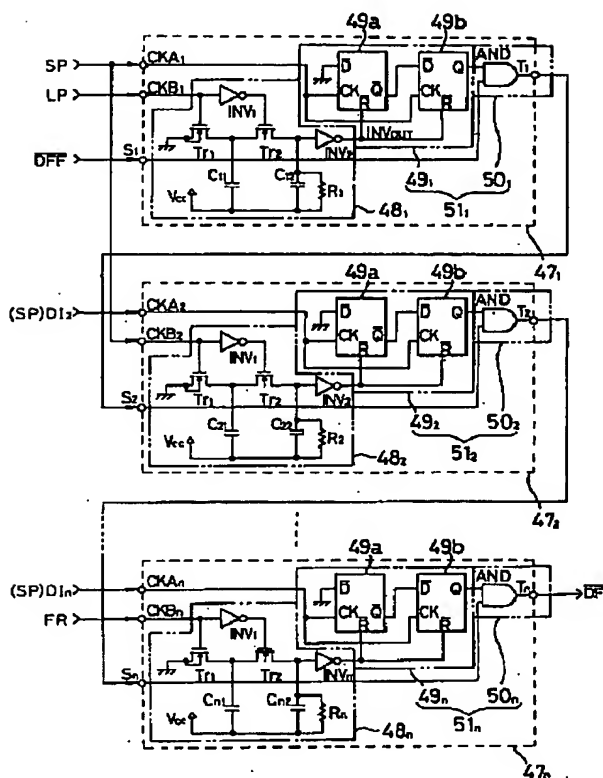
【符号の説明】

- 10…液晶表示制御部
- 12, 40, 70…液晶モジュール・コントローラ
- 20…フラット状の液晶表示モジュール部
- 22…液晶表示パネル（マトリクス液晶表示素子）
- 24₁～24_n…信号電極ドライバ半導体集積回路
- 24…信号電極駆動回路（Xドライバ）
- 26, 46, 76…走査電極駆動回路（Yドライバ）
- 26₁～26_n, 46₁～46_n, 76₁～76_n…走査電極ドライバ半導体集積回路
- 28…液晶電源回路
- 28a…電圧変換回路
- 28b…npn型トランジスタ
- 28c…pnp型トランジスタ
- 28d…平滑コンデンサ
- 28e…電圧分圧回路
- 30…ケーブル
- 46₁₁, 46₁₂…走査電極駆動セル
- 46a, 49a, 49b, 78a, 78b, 79c…D型フリップ・フロップ
- 46b…行単位強制ブランク表示制御回路
- 46c…行単位電圧レベルシフト回路
- 46d…総行強制ブランク表示制御回路
- 46e…電圧レベルシフト回路
- 46f…正逆2相クロック生成回路
- 46g…選択制御信号生成回路
- 46h…選択スイッチ
- 47, 47₁～47_n, 77₁～77_n…信号管理制御部
- 48…信号停止検出回路
- 49, 79…信号遅延回路
- 50…論理回路
- 51…シーケンス処理回路
- 78₁～78_n…電源パワーオン/オフ制御回路
- 78c…論理回路
- Tr₁…第1のN型MOSトランジスタ
- Tr₂…第2のN型MOSトランジスタ
- IN_{V1}, IN_{V2}, IN_{V3}…インバータC₁₁…第1のキャパシタ

19

C_{12} …第2のキャパシタ
 R_1 …放電抵抗
 AND …アンド回路
 $CKB_1 \sim CKB_n$ …端子
 $S_1 \sim S_n$ …信号停止検出制御端子
 $T_1 \sim T_n$ …信号停止検出端子
 $V_0 \sim V_5$ …液晶駆動電圧（基準電圧）
 $D_0 \sim D_7$ …データ信号

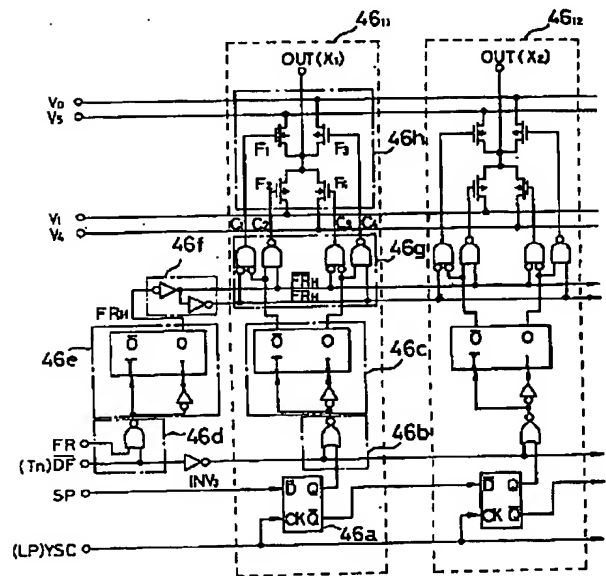
【図2】



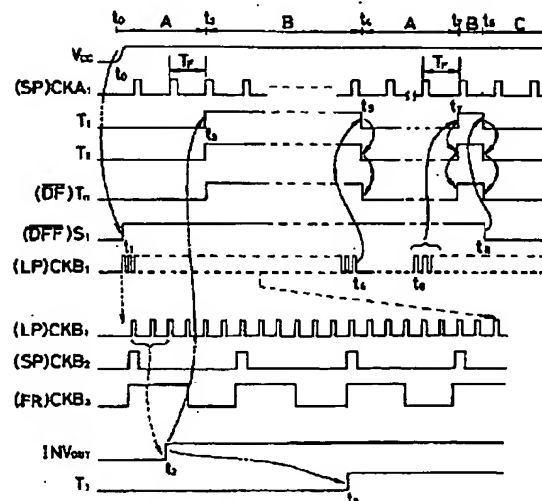
20

$XSCL$ …画素クロック（シフトクロックパルス）
 $YSCL$ …走査線同期信号
 LP …データ信号ラッチクロック
 FR …交流化クロック
 DF （バー）…ディスプレイ・オフ信号（強制ブランク表示信号）
 SP …走査スタートパルス（フレームスタート信号）
 $POFF$ （バー）…パワーオフ端子

【図3】

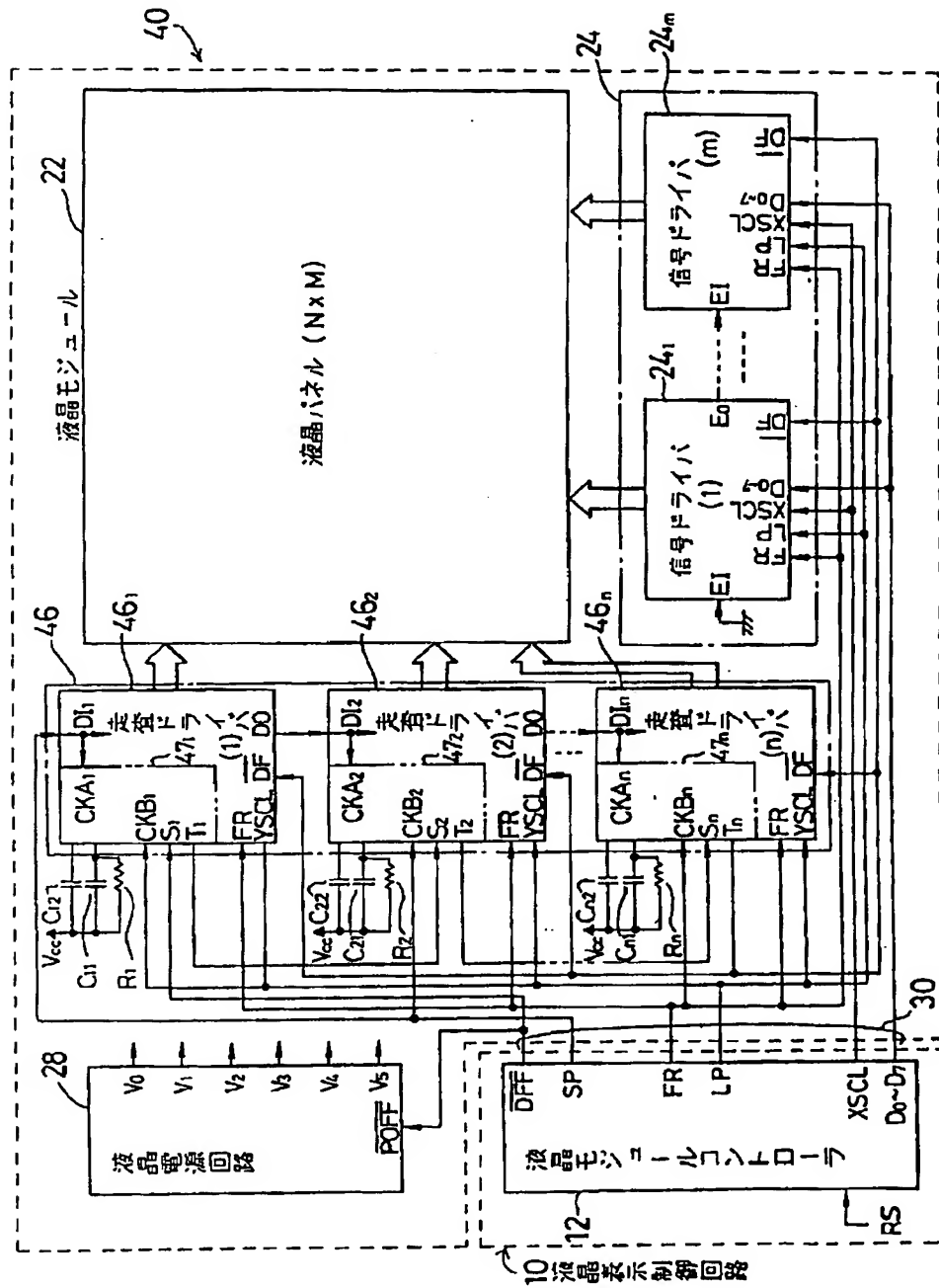


【図4】

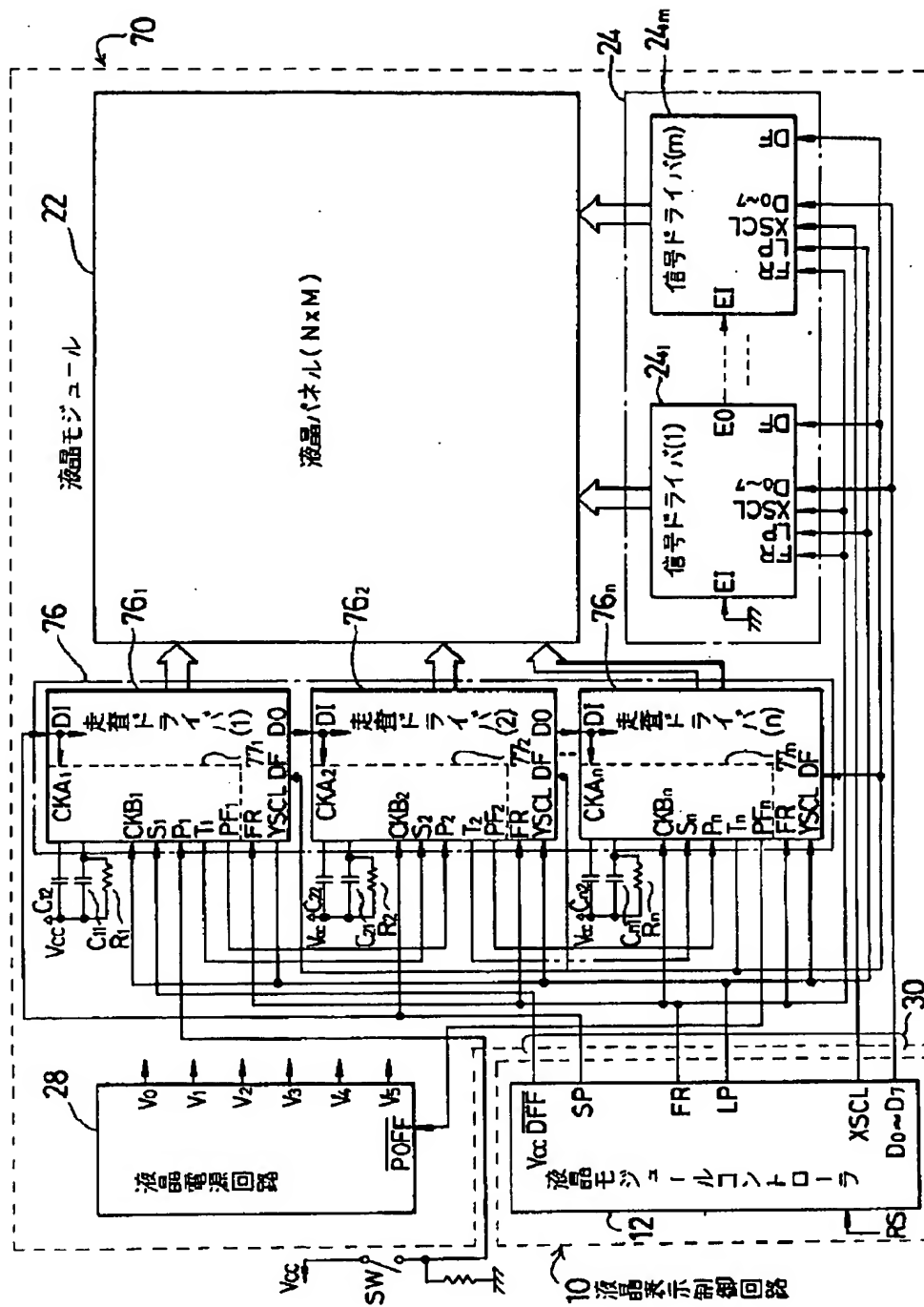


A: 液晶駆動禁止期間
 B: 液晶駆動期間
 C: 表示オフ期間

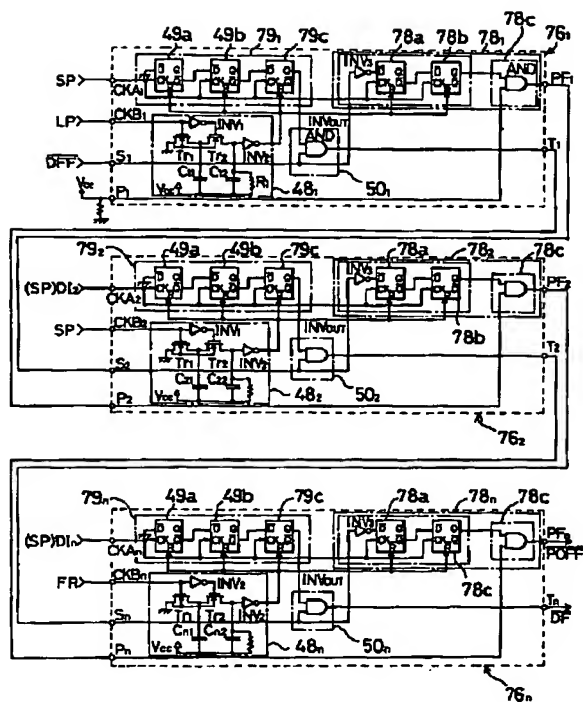
【図1】



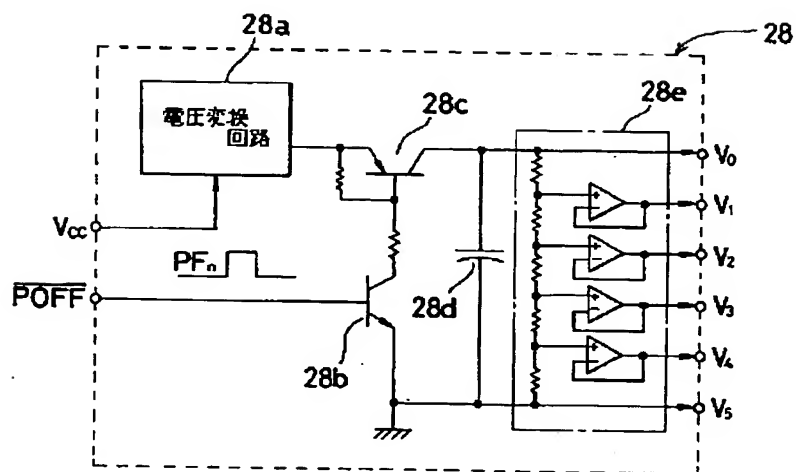
【図5】



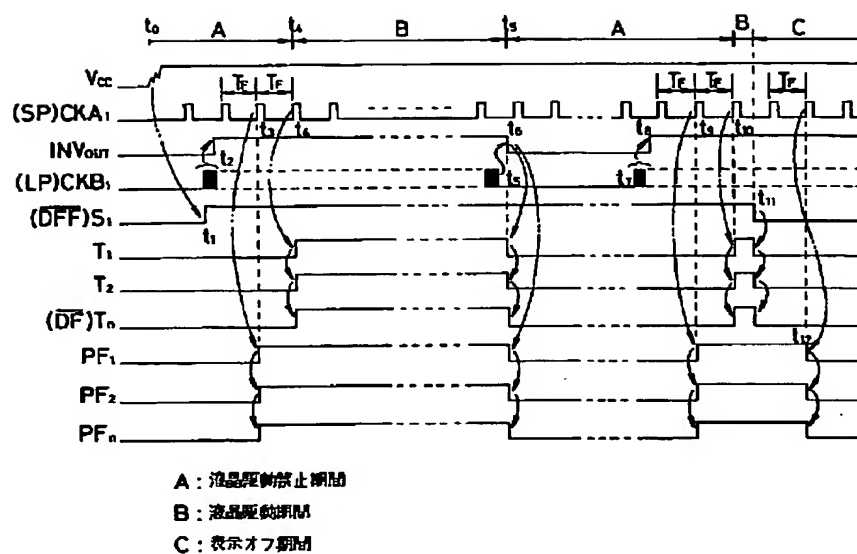
【図6】



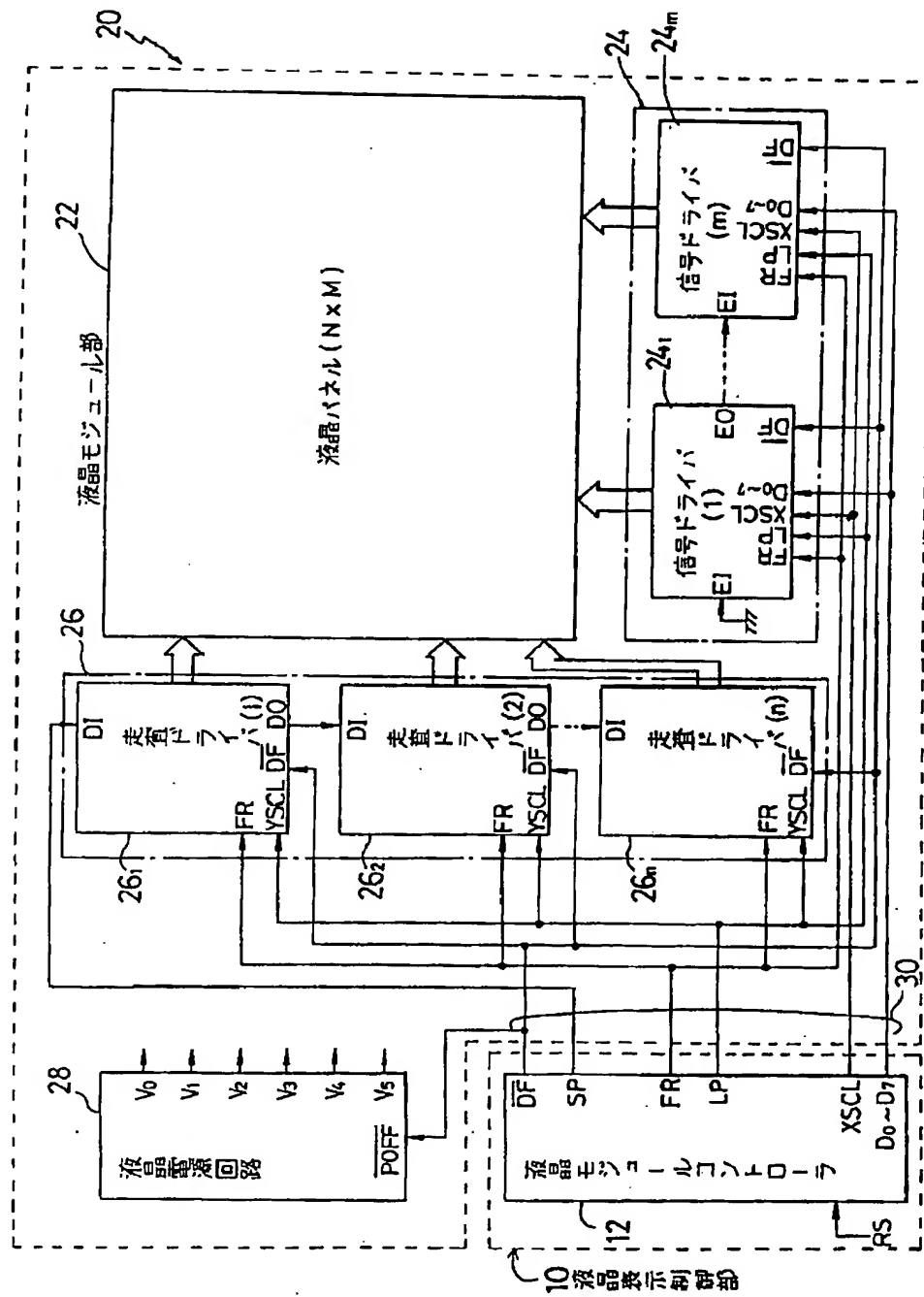
【図7】



【図8】



【図9】



【手続補正書】

【提出日】平成12年3月17日（2000. 3. 17）

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正内容】

【発明の名称】フラット表示装置制御方法

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 表示体駆動電圧により駆動されるフラット表示体と、フラット表示体へ供給される表示体駆動電圧を選択する表示体駆動手段と、電力制御信号に応答して表示体駆動手段に表示体駆動電圧を供給する表示体電源手段と、を有するフラット表示装置を制御する方法であって、
前記フラット表示体へ供給する前記表示体駆動電圧を前記表示体駆動手段によって選択するステップと、
フラット表示体における画面を強制的にブランク表示状態とするための強制ブランク信号を検出するステップと、
前記強制ブランク信号の検出に応答して、前記フラット表示体へ供給すべき表示体駆動電圧を概略零に設定制御するステップと、
前記強制ブランク信号の検出に応答して、前記表示体電源手段のパワーオフを制御する前記電力制御信号を出力するステップと、
前記電力制御信号に応答して、前記表示体電源手段から前記表示体駆動手段に対して前記表示体駆動電圧の供給を止めるステップと、を有することを特徴とするフラット表示装置制御方法。

【請求項2】 表示体駆動電圧により駆動されるフラット表示体と、フラット表示体へ供給される表示体駆動電圧を選択する表示体駆動手段と、電力制御信号に応答して表示体駆動手段に表示体駆動電圧を供給する表示体電源手段と、を有するフラット表示装置を制御する方法であり、該フラット表示装置制御方法は前記フラット表示装置のパワーオフ時のシーケンスであって、
前記フラット表示体へ供給する前記表示体駆動電圧を前記表示体駆動手段によって選択するステップと、
前記フラット表示装置をパワーオフすべき旨を含む前記強制ブランク信号を検出するステップと、
前記強制ブランク信号の検出に応答して、前記フラット表示体へ供給すべき表示体駆動電圧を概略零に設定制御するステップと、

前記強制ブランク信号の検出に応答して、前記表示体電源手段のパワーオフを制御する前記電力制御信号を出力するステップと、

前記電力制御信号に応答して、前記表示体電源手段から前記表示体駆動手段に対して前記表示体駆動電圧の供給を止めるステップと、を有することを特徴とするフラット表示装置制御方法。

【請求項3】 請求項1又は請求項2において、前記表示体電源手段から前記表示体駆動手段に対して前記表示体駆動電圧の供給を止めた後に、前記フラット表示装置の論理回路に供給されるべきロジック電圧をオフとするステップを更に有することを特徴とするフラット表示装置制御方法。

【請求項4】 表示体駆動電圧により駆動されるフラット表示体と、フラット表示体へ供給される表示体駆動電圧を選択する表示体駆動手段と、電力制御信号に応答して表示体駆動手段に表示体駆動電圧を供給する表示体電源手段と、を有するフラット表示装置を制御する方法であって、
前記フラット表示体へ供給する前記表示体駆動電圧を前記表示体駆動手段によって選択するステップと、
フラット表示体における画面を強制的にブランク表示状態とするための強制ブランク信号を検出するステップと、
前記強制ブランク信号の検出に応答して、前記フラット表示体へ供給すべき表示体駆動電圧を概略零に設定制御するステップと、
前記表示体駆動電圧を概略零に設定制御した後から第1の遅延時間を経た後に、前記表示体電源手段のパワーオフを制御する前記電力制御信号を出力するステップと、
前記電力制御信号に応答して、前記表示体電源手段から前記表示体駆動手段に対して前記表示体駆動電圧の供給を止めるステップと、を有することを特徴とするフラット表示装置制御方法。

【請求項5】 表示体駆動電圧により駆動されるフラット表示体と、フラット表示体へ供給される表示体駆動電圧を選択する表示体駆動手段と、電力制御信号に応答して表示体駆動手段に表示体駆動電圧を供給する表示体電源手段と、を有するフラット表示装置を制御する方法であって、
前記フラット表示体へ供給する前記表示体駆動電圧を前記表示体駆動手段によって選択するステップと、
フラット表示体における画面を強制的にブランク表示状態とするための強制ブランク信号を検出するステップと、
前記強制ブランク信号の検出に応答して、前記フラット表示体へ供給すべき表示体駆動電圧を概略零に設定制御するステップと、
前記強制ブランク信号の検出がされた後から第1の遅延

時間を経た後に、前記表示体電源手段のパワーオフを制御する前記電力制御信号を出力するステップと、前記電力制御信号に応答して、前記表示体電源手段から前記表示体駆動手段に対して前記表示体駆動電圧の供給を止めるステップと、を有することを特徴とするフラット表示装置制御方法。

【請求項 6】 表示体駆動電圧により駆動されるフラット表示体と、フラット表示体に供給される表示体駆動電圧を選択する表示体駆動手段と、電力制御信号に응答して表示体駆動手段に表示体駆動電圧を供給する表示体電源手段と、を有するフラット表示装置を制御する方法であり、該フラット表示装置制御方法は前記フラット表示装置のパワーオフ時のシーケンスであって、前記フラット表示体に供給する前記表示体駆動電圧を前記表示体駆動手段によって選択するステップと、前記フラット表示装置をパワーオフすべき旨を含む強制ブランク信号を検出するステップと、前記強制ブランク信号の検出に응答して、前記フラット表示体へ供給すべき表示体駆動電圧を概略零に設定制御するステップと、前記表示体駆動電圧を概略零に設定制御した後から第 1 の遅延時間を経た後に、前記表示体電源手段のパワーオフを制御する前記電力制御信号を出力するステップと、前記電力制御信号に응答して、前記表示体電源手段から前記表示体駆動手段に対して前記表示体駆動電圧の供給を止めるステップと、を有することを特徴とするフラット表示装置制御方法。

【請求項 7】 表示体駆動電圧により駆動されるフラット表示体と、フラット表示体に供給される表示体駆動電圧を選択する表示体駆動手段と、電力制御信号に응答して表示体駆動手段に表示体駆動電圧を供給する表示体電源手段と、を有するフラット表示装置を制御する方法であり、該フラット表示装置制御方法は前記フラット表示装置のパワーオフ時のシーケンスであって、前記フラット表示体に供給する前記表示体駆動電圧を前記表示体駆動手段によって選択するステップと、前記フラット表示装置をパワーオフすべき旨を含む強制ブランク信号を検出するステップと、前記強制ブランク信号の検出に응答して、前記フラット表示体へ供給すべき表示体駆動電圧を概略零に設定制御するステップと、前記強制ブランク信号の検出がされた後から第 1 の遅延時間を経た後に、前記表示体電源手段のパワーオフを制御する前記電力制御信号を出力するステップと、前記電力制御信号に응答して、前記表示体電源手段から前記表示体駆動手段に対して前記表示体駆動電圧の供給を止めるステップと、を有することを特徴とするフラット表示装置制御方法。

【請求項 8】 請求項 4 乃至 7 いずれか一項において、前記表示体電源手段から前記表示体駆動手段に対して前記表示体駆動電圧の供給を止めた後に、前記フラット表示装置の論理回路に供給されるべきロジック電圧をオフとするステップを更に有することを特徴とするフラット表示装置制御方法。

【請求項 9】 請求項 4 乃至 8 いずれか一項において、第 1 の遅延時間は変更し得ることを特徴とするフラット表示装置制御方法。

【請求項 10】 請求項 1 乃至 9 いずれか一項において、前記フラット表示体は液晶表示パネルであることを特徴とするフラット表示装置制御方法。

【請求項 11】 請求項 1 乃至 9 いずれか一項において、前記フラット表示体はプラズマ表示パネルであることを特徴とするフラット表示装置制御方法。

【請求項 12】 請求項 1 乃至 9 いずれか一項において、前記表示体駆動手段が液晶表示パネルを駆動する液晶駆動装置であることを特徴とするフラット表示装置制御方法。

【請求項 13】 請求項 1 乃至 9 いずれか一項において、前記表示体駆動手段と表示体電源手段が液晶表示パネルを駆動する液晶駆動装置であることを特徴とするフラット表示装置制御方法。

【請求項 14】 請求項 12 又は 13 において、前記液晶駆動装置は半導体集積回路であることを特徴とするフラット表示装置制御方法。

【請求項 15】 請求項 14 において、前記半導体集積回路は Y ドライバであることを特徴とするフラット表示装置制御方法。

【請求項 16】 請求項 15 において、前記 Y ドライバは単純マトリクス液晶表示装置の走査ドライバであることを特徴とするフラット表示装置制御方法。

【請求項 17】 請求項 15 において、前記 Y ドライバはアクティブ・マトリクス液晶表示装置のゲートドライバであることを特徴とするフラット表示装置制御方法。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正内容】

【0007】そこで、本発明の課題としては、上述の問題点に鑑みて、表示制御部側から表示モジュール部側に供給される信号の異常に起因する表示パネルの直流駆動等による表示特性劣化を防止し、かつ、パワーオフ時における諸電源の電位関係を維持しドライバ内の寄生バイポーラ電流や貫通電流等を抑制し表示パネルやドライバの保護を図る制御方法を提供することにある。